

DIALOG(R)File 351:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

008991840

WPI Acc No: 1992-119108/ 199215

XRPX Acc No: N92-089003

Pixel amplifying solid-state image sensing device - finds difference  
between reset voltage and signal charge when transferring signal charge  
to amplification device NoAbstract Dwg 1/5

Patent Assignee: HITACHI LTD (HITA )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 4061573	A	19920227	JP 90171643	A	19900629	199215 B

Priority Applications (No Type Date): JP 90171643 A 19900629

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 4061573	A		10		

Title Terms: PIXEL; AMPLIFY; SOLID; STATE; IMAGE; SENSE; DEVICE; FIND;  
DIFFER; RESET; VOLTAGE; SIGNAL; CHARGE; TRANSFER; SIGNAL; CHARGE; AMPLIFY  
; DEVICE; NOABSTRACT

Derwent Class: R46; R57; U13; W04

International Patent Class (Additional): H01L-027/14; H04N-005/33

File Segment: EPI

Manual Codes (EPI/S-X): U13-A01A; W04-M01B5; W04-M01B5A

**THIS PAGE BLANK (USPTO)**

## ⑫ 公開特許公報(A) 平4-61573

⑤Int. Cl.<sup>5</sup>H 04 N 5/335  
H 01 L 27/146

識別記号

E

庁内整理番号

8838-5C

⑬公開 平成4年(1992)2月27日

8122-4M H 01 L 27/14

A

審査請求 未請求 請求項の数 3 (全10頁)

⑭発明の名称 画素増幅型固体撮像素子

⑯特 願 平2-171643

⑰出 願 平2(1990)6月29日

⑱発 明 者 西 澤 重 喜 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場  
内⑱発 明 者 馬 場 匡 史 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場  
内⑱発 明 者 開 田 真 澄 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場  
内⑱発 明 者 竹 本 一 八 男 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場  
内

⑲出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳代 理 人 弁理士 徳若 光政

## 明 細 書

## 1. 発明の名称

画素増幅型固体撮像素子

## 2. 特許請求の範囲

1. 光ダイオードにより形成された信号電荷を転送する電荷転送電極と、この電荷転送電極により光ダイオードから転送された信号電荷を入力端子に受ける増幅素子と、この増幅素子を入力端子をリセットするスイッチ素子とを含む画素セルを複数個備え、第1のタイミングにおいて上記スイッチ素子を動作させて増幅素子を入力端子をリセットしてリセット電圧を読み出し、第2のタイミングにおいて上記電荷転送電極を制御して上記光ダイオードにより形成された信号電荷を増幅素子を入力端子に転送してそれに対応した信号電圧を読み出し、上記リセット電圧に対応した電圧と信号電荷に対応した電圧との差分を出力させる出力回路とを備えてなることを特徴とする画素増幅型固体撮像素子。

2. 上記上記リセット電圧に対応した電圧と信号

電荷に対応した電圧との差分を得る回路は、上記増幅素子の出力ノードに一方の電極が接続されたキャパシタを含み、上記第1のタイミングにおいてキャパシタの他方の電極に所定の電位を与えた状態でリセット電圧に対応した電圧を取り込み、上記キャパシタの他方の電極をハイインピーダンス状態にして一方の電極側を回路の接地電位点にした後に上記第2のタイミングで信号電荷に対応した電圧を供給して、他方の電極側から出力電圧を得ることを特徴とする特許請求の範囲第1項記載の画素増幅型固体撮像素子。

3. 上記第2のタイミングにキャパシタの他方の電極から出力される電圧は、一方の電極が回路の接地電位に結合された出力キャパシタに伝えられ、この出力キャパシタに保持された信号電圧が走査回路により形成されたタイミング信号によりスイッチ制御されるスイッチ素子を介して時系列的に出力されるものであることを特徴とする特許請求の範囲第2項記載の画素増幅型

## 固体撮像素子。

## 3. 発明の詳細な説明

## (産業上の利用分野)

この発明は、画素増幅型固体撮像素子に関するもので、例えば、光電変換素子により形成される画素信号をソースフォロワ形態の増幅MOSFET (絶縁ゲート形電界効果トランジスタ) を介して取り出す方式のものに利用して有効な技術に関するものである。

## (従来の技術)

エリアセンサを構成する固体撮像素子は、半導体集積回路技術の進展に伴いすでに実用レベルに達している。この固体撮像素子としてはMOS型、CCD型等が開発されている。これらの固体撮像素子では光電変換部で発生した信号電荷を信号電圧に変換するのに、信号電荷-電圧変換アンプまで転送する必要がある。このため、その転送途中で混入する偽信号や雑音のためにS/Nが劣化するという問題を抱えている。この問題を解決する方法として、光電変換部のそれぞれに信号電荷-

電圧変換アンプを配置し、信号電荷を転送することなしに直接的に信号電圧として取り出す方式の、いわゆる画素増幅型固体撮像素子が提案されている。このような画素増幅型固体撮像素子に関しては、特願昭63-199491号がある。

## (発明が解決しようとする課題)

上記画素増幅型固体撮像素子では、光電変換後の光ダイオードの電位から光ダイオードのリセット後の電位を減算して信号電圧を得るものであるため、ソースフォロワMOSFETのしきい値電圧のバラツキを相殺させることができる。しかしながら、光ダイオードのリセット時にその容量値の平方に比例するリセット雑音が発生する。このため、信号の増幅度を高くしても感度向上の限界が上記リセット雑音で決定されてしまうという問題を残している。

この発明の目的は、リセット雑音を抑圧して高感度化を可能とした画素増幅型固体撮像素子を提供することにある。

この発明の前記ならびにそのほかの目的と新規

な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## (問題点を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、光ダイオードにより形成された信号電荷を電荷転送電極により増幅素子に転送するとき、第1のタイミングにおいてリセット用スイッチ素子を動作させて上記増幅素子の入力端子をリセットするとともにそのリセット電圧を読み出し、第2のタイミングにおいて上記電荷転送電極を制御して上記光ダイオードにより形成された信号電荷を増幅素子の入力端子に転送してそれに対応した信号電圧を読み出し、上記リセット電圧に対応した電圧と信号電荷に対応した電圧との差分を出力させる。

## (作用)

上記した手段によれば、リセット電圧に対応した電圧から信号電荷に対応した電圧を減算するときにリセット雑音を相殺させることができるから

高感度化が可能となる。

## (実施例)

第1図には、この発明が適用されたカラー用の画素増幅型固体撮像素子の一実施例の要部回路図が示されている。同図では、代表として例示的に示された3行、3列分の画素アレイとその選択回路及び信号読み出し回路が示されている。また、同様な回路の繰り返しであり、回路図の簡素化のために、1つの画素セルとその選択回路を構成する回路素子についてのみ回路記号を付加するものである。上記固体撮像素子を構成する各回路素子は、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。

上記固体撮像素子は、次の各回路より構成される。代表として例示的に示された1つの画素セルは、回路的にはアノード側電極が回路の接地電位に結合されたフォトダイオードD1と、そのフォトダイオードD1のカソード側電極を増幅素子(MOSFET)Q2の入力端子に接続させるス

スイッチMOSFETQ1と、上記増幅MOSFETQ2の入力端子であるゲートにリセット電圧VRSを与えるリセット用MOSFETQ4と、上記増幅MOSFETQ2のドレインに動作電圧VDDを与える選択MOSFETQ3とから構成される。

上記フォトダイオードD1と転送ゲートMOSFETQ1を含む概略素子構造断面図を第5図に示す。MOSFETQ1は、MOSFETQ4によりVRS電位を印加することで形成されたポテンシャル井戸に光ダイオードD1で形成された信号電荷を転送するために設けられている。また、フォトダイオードD1は、その表面にP<sup>+</sup>が形成された埋め込み型であり、それにより形成された信号電荷を電荷転送電極を制御して取り出す際に完全空乏化するように構成される。このような信号電荷の取り出しによりフォトダイオードD1の実質的なリセットが行われ、そのリセットの際にはリセット雑音が生じない。

第1図において、上記電荷転送電極を構成する

スイッチMOSFETQ1のゲートは、横方向に延長して配置される第1の行選択線（垂直走査線）HL1に結合される。同じ行に配置された他の画素セルの同様なスイッチMOSFETのゲートも上記第1の行選択線HL1に共通に接続される。上記リセットMOSFETQ4のゲートは、横方向に延長して配置される第2の行選択線（垂直走査線）HL2に結合される。同じ行に配置された他の画素セルの同様なリセットMOSFETのゲートも上記第2の行選択線HL2に共通に接続される。上記選択MOSFETQ3のゲートは、横方向に延長して配置される第3の行選択線（垂直走査線）HL3に結合される。同じ行に配置された他の画素セルの同様な選択MOSFETのゲートも上記第3の行選択線HL3に結合される。これらの第1～第3の行選択線HL1～HL3は、読み出し用垂直シフトレジスタVSRにより形成された行選択信号VS1を共通に受ける行選択MOSFETQ20～Q22により選択される。選択MOSFETQ20は電圧VGを伝え、選択M

OSFETQ21はリセット信号RSを伝え、選択MOSFETQ22は奇数列選択信号V3を伝える。このことは、後述するような2行同時読み出しに対応している。

例示的に示されている残り2つの行においても同様な構成の画素セルと、その行選択回路が設けられる。これらの行選択回路には、上記垂直シフトレジスタVSRにより形成された行選択信号VS2、VS3が供給される。

上記増幅MOSFETQ2のソースは、縦方向に延長して配置される列信号線（垂直信号線）VL3に結合される。同じ列に配置される奇数行の画素セルの同様な増幅MOSFETのソースも上記列信号線VL3に結合される。そして、同じ列に配置される偶数行の画素セルの同様な増幅MOSFETのソースは、列信号線VL4に結合される。このことは、後述するような2行同時読み出しに対応している。

特に制限されないが、同じ列に配置されるリセット用MOSFETQ4のドレイン側は、縦方向

に延長されるリセット電圧線VL1に結合される。他の同じ列に配置される他の画素セルの同様なリセットMOSFETのドレインもそれぞれの列に対応して縦方向に延長されるリセット電圧線に接続される。そして、これらの複数からなるリセット電圧線は、リセット電圧端子VRSに共通に接続される。このリセット電圧端子VRSには、外部から所定のリセット電圧が供給される。

特に制限されないが、同じ列に配置される選択MOSFETQ3のドレイン側は、縦方向に延長される動作電圧線VL2に結合される。他の同じ列に配置される他の画素セルの同様な選択MOSFETのドレインもそれぞれの列に対応して縦方向に延長される動作電圧線に接続される。そして、これらの複数からなる動作電圧線は、動作電圧端子VDDに共通に接続される。この動作電圧端子VDDには、外部から所定の動作電圧が供給される。

上記代表として例示的に示されている列信号線VL3とVL4は、一端（同図では上側）におい

てスイッチMOSFETQ16、Q17を介して回路の接地電位が与えられる。他の列に対応して設けられる列信号線にも同様なスイッチMOSFETが設けられる。これらのスイッチMOSFETQ16、Q17等のゲートは、端子CR1に接続される。この端子CR1には、外部から所定のタイミングによりキャパシタリセット信号が供給される。

この実施例の画素セルには、カラー撮影を行うために、特に制限されないが、第1行目の第1列と2列の画素セルにはグリーンGとホワイト（透明）Wのカラーフィルタが形成され、第2行目の第1列と第2列の画素セルにはイエローYとシアンCyのカラーフィルタが形成される。上記4つからなる画素セルを構成を基本パターンとして同様なパターンの繰り返してにより、各カラーフィルタが形成される。

この実施例では、上記のようなフォトダイオードFD1等の光電変換信号をソースフォロウ増幅MOSFETQ2やリセットMOSFETQ4にお

ける素子特性のプロセスバラツキの影響を受けることなく、しかもリセット時のリセット雑音の影響を受けることなく増幅して出力させるために次のような出力回路が付加される。

上記代表として例示的に示されている列信号線VL3とVL4は、キャパシタC1とC2の一方の電極に結合される。これらのキャパシタC1とC2の他方の電極は、一方においてスイッチMOSFETQ12とQ13を介して横方向に延長されるバイアス電圧線に結合される。このバイアス電圧線はバイアス電圧端子VSSに結合される。このバイアス電圧端子VSSには、外部から適当なバイアス電圧が供給される。上記スイッチMOSFETQ12とQ13のゲートは、共通に結合されて端子CR2から供給される制御信号（キャパシタリセット）によりスイッチ制御される。端子CR2には、上記キャパシタC1、C2等を所定の電位にリセットさせるためのタイミング信号が供給される。

上記のキャパシタC1とC2の他方の電極は、

他方においてスイッチMOSFETQ10とQ11をそれぞれ介してキャパシタC3とC4の一方の電極に接続される。これらのキャパシタC3とC4の他方の電極は回路の接地電位点に結合される。上記キャパシタC3とC4に保持された電圧は、水平選択用のスイッチMOSFETQ14とQ15を介して横方向に延長される出力信号線にそれぞれ結合される。上記スイッチMOSFETQ14に対応された出力信号線は、端子Gに結合される。端子Gとグリーンのカラー画素信号を出力する。上記スイッチMOSFETQ15に対応された出力信号線は、端子Yeに結合される。端子Yeはイエローのカラー画素信号を出力する。上記スイッチMOSFETQ14及びQ15のゲートには、水平シフトレジスタHSRにより形成される水平選択信号HS1が供給される。

第2列目の列信号線もそれに対応した2つのキャパシタの一方の電極に結合される。これらのキャパシタの他方の電極は、一方においてスイッチMOSFETQを介して上記横方向に延長される

バイアス電圧線に結合される。上記スイッチMOSFETQのゲートは、共通に結合されて上記同様に端子CR2から供給される制御信号によりスイッチ制御される。

上記の2つのキャパシタの他方の電極は、他方においてスイッチMOSFETをそれぞれ介して出力用の2つのキャパシタの一方の電極に接続される。これらの出力用のキャパシタの他方の電極は回路の接地電位点に結合される。上記出力用のキャパシタに保持された電圧は、水平選択用のスイッチMOSFETを介して横方向に延長される出力信号線にそれぞれ結合される。奇数行に対応したスイッチMOSFETに対応された出力信号線は、端子Wに結合される。端子Wはホワイトのカラー画素信号を出力する。上記偶数行に対応したスイッチMOSFETに対応された出力信号線は、端子Cyに結合される。端子Cyはシアンのカラー画素信号を出力する。これらのスイッチMOSFETのゲートには、水平シフトレジスタHSRにより形成される水平選択信号HS2が供給

される。

上記第1図の固体撮像素子の読み出し動作の一例を第2図に示した等価回路図と第3図に示したタイミング図を参照して説明する。

第2図には、フォトダイオードD1とMOSFET Q1ないしQ4からなる画素セルに着目した読み出し等価回路図が示されている。

フォトダイオードD1からの信号電荷の読み出しの前に、端子CR1とCR2のキャパシタリセット信号、及び端子CS1のタイミング信号がハイレベルにされる。これにより、MOSFET Q10、Q12及びQ16がオン状態にされ、列信号線VL3には回路の接地電位が与えられるからキャパシタC1とC2にはそれぞれバイアス電圧VSSによりチャージアップされる。これにより、列信号線VL3の電位Va、言い換えるならばキャパシタC1の入力側電極の電位Vaは接地電位GNDに、キャパシタC3の電圧Vbはバイアス電圧VSSにされる。

端子CR1のキャパシタリセット信号CR1を

チャージアップされる。

端子CR2のキャパシタリセット信号と上記タイミング信号V3とをロウレベルにし、端子CR1のキャパシタリセット信号をハイレベルにする。上記端子CR2のキャパシタリセット信号のロウレベルにより、MOSFET Q12がオフ状態となり、キャパシタC1の出力側の電極とキャパシタC3の一方の電極(Vb)がフローティングにされる。タイミング信号V3のロウレベルにより選択MOSFET Q3がオフ状態にされる。

そして、上記端子CR1のキャパシタリセット信号のハイレベルに応じてMOSFET Q16がオン状態となり、フローティング状態にされた列信号線VL3の電位を回路の接地電位にする。これにより、キャパシタC1の入力側の電極の電位Vaが回路の接地電位(GND)となり、それに応じて上記キャパシタC1の出力側の電極及びキャパシタC3の保持電圧Vbは、上記MOSFET Q10がまだオン状態を維持するものであるから上記バイアス電圧VSSからキャパシタC1と

ロウレベルにし、端子RSのリセット信号をハイレベルにする。これにより、図示しない第1行目の行選択信号VS1のハイレベルに応じてオン状態にされるスイッチMOSFET Q21を介して第2の列選択線HL2にリセット信号RSのハイレベルが伝えられる。これにより、増幅MOSFET Q2の入力端子(ゲート)における入力容量CPは電圧VRSにリセットされる。そして、上記端子RSのリセット信号をロウレベルにして、MOSFET Q4をオフ状態にすると、そのオフ状態のときにおけるキャパシタCPの電位にリセット雑音に重畳させて保持されてしまう。

次に、タイミング信号V3がハイレベルにされると、上記行選択信号VS1のハイレベルに応じて第3の行選択線HL3がハイレベルとなり、画素セルの選択MOSFET Q3がオン状態になり、増幅MOSFET Q2のドレインに動作電圧VDDが供給される。これにより、上記フローティングにされた列信号線VL3の電位は、上記リセット電圧VRSに基づいた読み出し電圧VDD'に

C3の容量比に応じて分割された電圧VDD''だけ低下した電圧( $VSS - VDD''$ )となる。

端子CR1のキャパシタリセット信号をロウレベルにし、端子V3と端子VGのタイミング信号をハイレベルにする。上記端子CR1のロウレベルによりMOSFET Q16がオフ状態となり、列信号線はフローティング状態にされる。そして、端子VGのハイレベルにより行選択信号VS1のハイレベルにより端子VGのタイミング信号はそれに対応した第1行目の第1の行選択線HL1に伝えられ、電荷転送電極としてのスイッチMOSFET Q1がオン状態となり、フォトダイオードD1に蓄積された信号電荷を入力容量CPに転送する。ここで、上記信号電荷量をQPとすると、入力容量CPの電位をVPとすると $VP = QP / CP$ となる。そして、上記タイミング信号V3のハイレベルが上記第3の行選択線HL3に伝えられ、再び選択MOSFET Q3がオン状態になる。これにより、上記信号電荷QPに対応した電圧VPが列信号線VL3に出力される。

この列信号線VL3の電圧VPは、上記キャパシタC1とC2の容量比に応じて分割された電圧VPD\*だけキャパシタC2の電圧Vbを上昇させる。

すなわち、同図に示すようにキャパシタC2に取り込まれる電圧Vbは、 $VSS - (VDD - VPD)$ となる。

別の観点から説明すると、キャパシタC2に出力される電圧をVoとし、増幅MOSFETQ2のゲインをAとおくと、次式(1)で表される。

$$Vo = A \cdot (C1 / (C1 + C2)) \times (VSS - (VDD - VP)) \quad (1)$$

ここで、各信号は、リセット電圧と信号電圧とは完全に同一経路を通して読み出すものであるため、ソースフォロワアップである増幅MOSFETに係わるしきい値電圧も式(1)で表されるように差動演算( $VDD - VP$ )により相殺される。現状において、約40万もの画素で受光部が構成されるが、製造上のしきい値電圧にバラツキが生じても映像信号としての問題を完全に無くすることが

できる。

また、入力容量CPをリセット動作のときには、 $(kT/CP)^{1/2}$ で表されるリセット雑音電荷が発生するが、この雑音は信号電圧VPに含まれるものであるため、上記同様に式(1)で表されるような差動演算( $VDD - VP$ )により相殺させることができ、極めてS/Nの高い映像信号Voを得ることができる。

列信号線に結合されるキャパシタC1等は、増幅MOSFETQ2等のソース側に結合される。これらのMOSFETのソースは、寄生フォトダイオードを構成するためスミアといったような偽信号がたまり易い。この実施例では、読み出し用のキャパシタC1ではなく、出力キャパシタC3等に読み出し電圧を保持させて出力させるものであるため、これらの偽信号の影響を受けなくすることができる。

第3図における上記画素セルからキャパシタへの信号読み出しを行う各タイミング信号は、水平帰線期間において発生される。

なお、第1図において、行選択線VS1とVS2とを同時選択するとともに、タイミング信号V4をタイミング信号V3と同時に発生すれば、第1行と第2行の画素信号の同時読み出しが可能になる。そして、次のフィールドでは第2行と第3行とを同時選択するようにすれば、奇数と偶数フィールドとの空間的重心が1行だけずれるものであるからインタレースモードでのカラー映像信号の読み出しが可能になる。

上記のような行選択信号の同時選択の組み合わせは、インタレースゲート回路を設けて、垂直シフトレジスタにより形成された垂直走査選択信号を奇数と偶数フィールドとで画素アレイの同時選択行を異ならせるようにすることによって簡単に構成できるものである。

第1図の実施例においては、特に制限されないが、感度可変機能を付加するために、感度制御用の垂直シフトレジスタVSREが設けられる。この垂直シフトレジスタVSREの出力信号は、前記同様なスイッチMOSFETQ18、Q19を

介して、フォトダイオードの信号電荷を転送(掃き出し)させる第1の行選択線HL1と増幅MOSFETの入力端子に転送された電荷をリセットさせる第2の行選択線HL2に伝えられる。端子VGEと端子RESは、これらのリセット動作に対応した電圧及びタイミング信号が供給される。なお、上記のように読み出し用の垂直シフトレジスタに対してインタレースゲート回路が設けられるのなら、それに対応して上記垂直シフトレジスタVSREにも同様な、インタレースゲート回路が設けられる。これらの感度制御用の各回路は、特に制限されないが、上記画素アレイPDに対して右側に配置される。この感度設定用の垂直シフトレジスタVSREは、上記読み出し用の垂直シフトレジスタVSRと同様な回路により構成される。この場合、上記読み出し用の垂直シフトレジスタVSRと上記感度可変用の垂直シフトレジスタVSREとを同期したタイミングでのシフト動作を行わせるため、図示しないが同じクロック信号が供給される。



次に、この実施例の固体撮像装置における感度制御動作を説明する。

説明を簡単にするために、上記ノンインタレースモードによる垂直走査動作を例にして、以下説明する。例えば、感度制御用の垂直シフトレジスタVSR Eによって、読み出し用の垂直シフトレジスタVSRによる第1行目L1の読み出しに並行して、第3行目L3の選択動作を行わせる。これによって、上記水平帰線期間では第1行目L1からの読み出しと並行して第3行目L3の画素セルがリセット（信号電荷の掃き出し）される。

したがって、上記垂直走査動作によって、読み出し用の垂直シフトレジスタVSRによる第3行目L3の読み出し動作は、上記第1行と第2行の読み出し動作の後に行われるから、第3行目に配置される画素セルのフォトダイオードの蓄積時間は2行分の画素セルの読み出し時間となる。

上記に代えて、感度制御用の垂直シフトレジスタVSR Eによって、読み出し用の垂直シフトレジスタVSRによる第1行目L1の読み出しに並

行して、第2行目L2の選択動作を行わせる。これによって、上記水平帰線期間では第1行目L1からの読み出しと並行して第2行目L2の画素セルがリセットされる。

したがって、上記垂直走査動作によって、読み出し用の垂直シフトレジスタVSRによる第2行目L2の読み出し動作は、上記第1行の読み出し動作の後に行われるから、第2行目に配置される画素セルのフォトダイオードの蓄積時間は1行分の画素セルの読み出し時間となり、上記の場合の1/2になり、感度を1/2に低くできる。

上述のように、感度制御用の垂直シフトレジスタVSR E等の走査回路によって行われる先行する垂直走査動作によってその行の画素セルがリセットされるから、そのリセット動作から上記読み出し用の走査回路による実際の読み出しが行われるまでの時間が、フォトダイオードに対する蓄積時間とされる。したがって、ノンインタレースモードでいうならば、525行からなる画素アレイにあっては、上記両垂直走査回路による異なるア

ドレス指定と共通の水平走査回路による画素セルの選択動作によって、1行分の読み出し時間を単位（最小）として最大525までの多段階にわたる蓄積時間、言い換えるならば、525段階にわたる感度の設定を行うことができる。ただし、受光面照度の変化が、上記1画面を構成する走査時間に対して無視でき実質的に一定の光がフォトダイオードに入射しているものとする。なお、最大感度（525）は、上記感度制御用の走査回路は非動作状態のときに得られる。

第4図には、この発明が適用されたカラー用の画素増幅型固体撮像素子の一実施例の要部回路図が示されている。同図では、代表として例示的に示された3行、3列分の画素アレイとその選択回路及び信号読み出し回路が示されている。また、基本的には前記第1図の実施例と同様であるので、回路素子に対する回路記号を省略するものである。

この実施例では、第1図の画素セルにおける選択用MOSFET Q3が省略された構成になっている。すなわち、1つの画素セルは回路的には3

つのMOSFETと1つのフォトダイオードから構成される。この実施例の行選択動作は、端子RS（RSE）と端子VRSにより行う。すなわち、増幅MOSFET Q2のゲート電圧を、非選択期間中にVRS電位により、そのしきい値電圧以下にリセットすれば、ソースフォロアンプ（増幅MOSFET）Q2の動作を停止させることができ、行選択が行える。

また、1つの列に並べられる画素セルの増幅MOSFETのソースは、その左右に縦方向に配置される一対の列信号線に交互に接続される。これにより、2行同時選択してカラー画素信号の読み出しが行われる。このときも、前記のようなインタレースゲート回路により、その組み合わせを奇数フィールドと偶数フィールドとで異ならせるようにして、インタレースモードでのカラー画像信号を得ることができる。

また、読み出し信号は、各列信号線に設けられたキャパシタから直接に行うようにするものである。すなわち、水平帰線期間において列信号線に

前記第1の実施例と類似の動作により、リセット電圧の極性を逆にして列信号線のキャパシタに取り込み、その後に読み出しと信号電荷に対応した電圧を取り込むことにより差動演算を行った信号電圧を、映像期間において水平シフトレジスタHSRにより形成される水平走査信号に同期して時系列的に出力させるものである。

この構成において、出力回路のキャパシタの数やそのリセット等のスイッチMOSFETが省略できるから回路素子数の低減を図ることができるものとなる。なお、この実施例においても前記実施例と同様に感度設定用の垂直シフトレジスタVSREとそれに対応した行選択スイッチMOSFETが設けられる。

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 光ダイオードにより形成された信号電荷を電荷転送電極により増幅素子に転送するとき、第1のタイミングにおいてリセット用スイッチ素子を動作させて上記増幅素子の入力端子をリセットする

とともにそのリセット電圧を読み出し、第2のタイミングにおいて上記電荷転送電極を制御して上記光ダイオードにより形成された信号電荷を増幅素子の入力端子に転送してそれに対応した信号電圧を読み出し、上記リセット電圧に対応した電圧と信号電荷に対応した電圧との差分を出力させることにより、同一経路での読み出しにより増幅素子のプロセスバラツキの影響を排除するとともに、リセット雑音を相殺させることができるから高感度化が可能となるという効果が得られる。

(2) 出力キャパシタを設けて、画像信号を保持する構成を採ることによって、差分の電圧信号を形成するキャパシタが接続される列信号線における増幅素子等のソース側において発生するスミアといったような偽信号の影響を受けなくすることができるという効果が得られる。

(3) 1行又は2行分の画素セルからの画素信号を水平帰線期間にバラレルに同時に読み出し用のキャパシタに転送させるものであるため、水平選択回路の負荷が軽くなり、水平シフトレジスタの簡素

化が可能になるとともに水平シフトレジスタ動作に伴うスイッチノイズの混入を最小にできるという効果が得られる。

(4) リセット電圧と信号電荷に対応した電圧の差分の電圧を形成するキャパシタから直接的に出力信号を得ることにより、出力回路の簡素化を図ることができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、画素セルに設けられる増幅素子としてはMOSFETの他、JFETやBJTを用いるものであってもよい。このように、増幅トランジスタやスイッチ素子としては高入力インピーダンスのものであればよい。

前記実施例ではカラー撮像素子を例にして説明したが、モノクロ撮像素子として利用するものであってもよい。また、画素セルを実質的に1行に配置してラインセンサを構成するものであっても

よい。

この発明は、画素増幅型固体撮像素子として広く利用できるものである。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、光ダイオードにより形成された信号電荷を電荷転送電極により増幅素子に転送するとき、第1のタイミングにおいてリセット用スイッチ素子を動作させて上記増幅素子の入力端子をリセットするとともにそのリセット電圧を読み出し、第2のタイミングにおいて上記電荷転送電極を制御して上記光ダイオードにより形成された信号電荷を増幅素子の入力端子に転送してそれに対応した信号電圧を読み出し、上記リセット電圧に対応した電圧と信号電荷に対応した電圧との差分を出力させることにより、同一経路での読み出しにより増幅素子のプロセスバラツキの影響を排除するとともに、リセット雑音を相殺させることができるから高感度化が可能となる。

## 4. 図面の簡単な説明

第1図は、この発明が適用された画素増幅型固体撮像素子の一実施例を示す要部回路図、

第2図は、その読み出し動作を説明するための等価回路図、

第3図は、その読み出し動作の一例を説明するためのタイミング図、

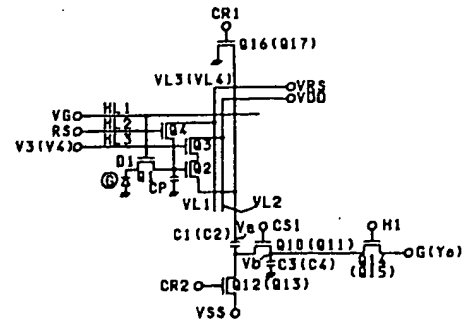
第4図は、この発明が適用された画素増幅型固体撮像素子の他の一実施例を示す要部回路図、

第5図は、フォトダイオードと電荷転送電極の一実施例を示す概略素子構造断面図である。

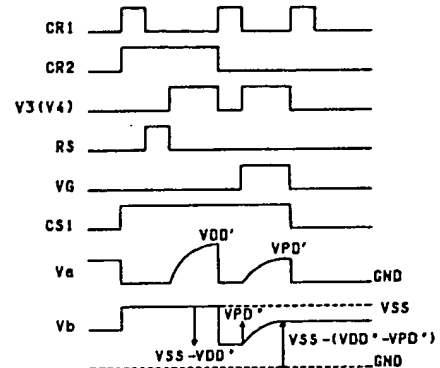
VSR・・・読み出し用垂直シフトレジスタ、VSRRE・・・感度設定用の垂直シフトレジスタ、HSR・・・水平シフトレジスタ、PD・・・画素アレイ。

代理人弁理士 徳若 光政

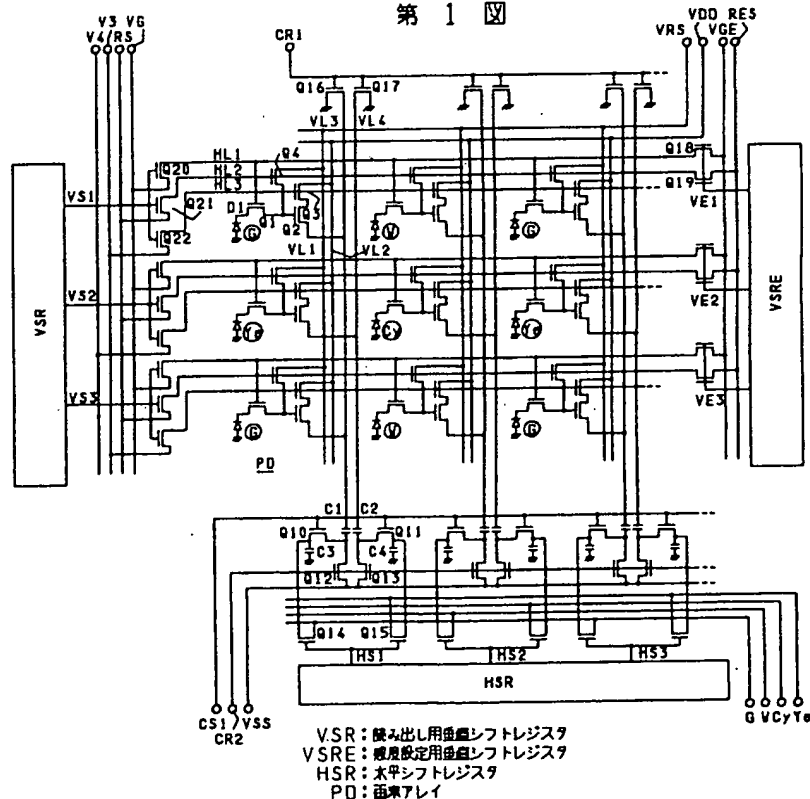
第2図



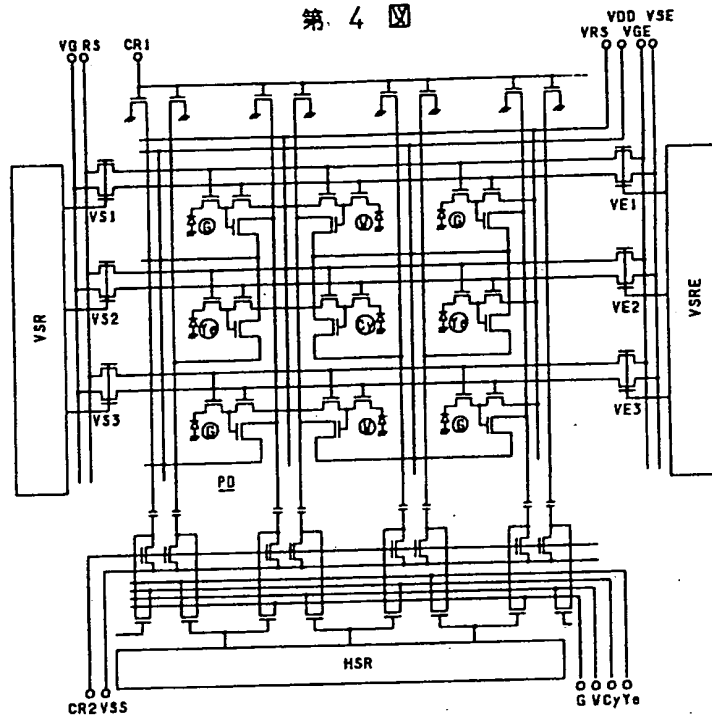
第3図



第1図



第 4 図



VSR: 読み出し用垂直シフトレジスタ  
VSRE: 感度設定用垂直シフトレジスタ  
HSR: 水平シフトレジスタ  
PD: 画素アレイ

第 5 図

